

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0085509  
Application Number

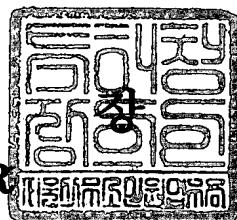
출원년월일 : 2002년 12월 27일  
Date of Application DEC 27, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0061
【제출일자】	2002. 12. 27
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing semiconductor device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이승철
【성명의 영문표기】	LEE, Seung Cheol
【주민등록번호】	720325-1068828
【우편번호】	467-723
【주소】	경기도 이천시 증포동 191-7 선경아파트 101-604
【국적】	KR
【발명자】	
【성명의 국문표기】	박상욱
【성명의 영문표기】	PARK, Sang Wook
【주민등록번호】	670825-1144110
【우편번호】	143-755
【주소】	서울특별시 광진구 광장동 현대아파트 501-1601
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

1020020085509

출력 일자: 2003/4/17

【수수료】

【기본출원료】	14	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】		330,000	원	
【첨부서류】		1.	요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 반도체 기판 상에 게이트 전극을 형성하는 단계와, 게이트 전극이 형성된 반도체 기판 상에 스페이서용 산화막을 증착하는 단계와, 상기 스페이서용 산화막을 이방성 견식 식각하여 상기 게이트 전극 측벽에 스페이서 산화막을 형성하는 단계와, 상기 스페이서 내에 포함된 수소를 스페이서 표면으로 석출시키기 위하여 상기 스페이서에 대하여 산소 분위기에서 급속 열처리를 실시하는 단계를 포함한다.

**【대표도】**

도 6

**【색인어】**

게이트 전극, 스페이서 산화막, 급속 열처리, 수소 석출

**【명세서】****【발명의 명칭】**

반도체 소자의 제조방법{Method of manufacturing semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 7은 온도에 따른 스페이서 산화막 내의 수소 이온의 수를 도시한 그래프이다.

<도면의 주요 부분에 부호의 설명>

100: 반도체 기판 102: 터널 산화막

104: 플로팅 게이트 106: 유전체막

108: 컨트롤 게이트 110: 실리사이드막

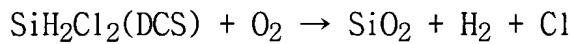
114: 스페이서 116: 급속 열처리

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 스페이서 산화막 내에 함유된 수소가 터널 산화막으로 산호 확산되는 현상을 억제하여 터널 산화막 내에서의 전하 손실을 억제하고 플래시 메모리 소자의 리텐션 특성을 개선시킬 수 있는 반도체 소자의 제조방법에 관한 것이다.

<9> 플래시 메모리 소자에서 리텐션(retention) 특성은 소자의 신뢰성 특성에 큰 영향을 준다. 플래시 메모리 소자에서 스페이서용 물질은  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS)를 이용한 고온 산화막(High Temperature Oxide; HTO)을 사용하고 있으며, 소스 가스로서  $\text{Si}_2\text{H}_2\text{Cl}_2$  가스를 사용하기 때문에 스페이서 내에 수소(hydrogen)가 존재하게 된다. 즉, 다음의 [반응식 1]에 따라 수소가 스페이서 산화막 내에 트랩되게 된다.

<10> 【반응식 1】



<11> 또한, 퍼니스(furnace) 장비 내에서 열처리를 장시간 진행하기 때문에 수소가 쉽게 상호 확산(inter-diffusion)될 수 있다. 즉, 스페이서용 물질로  $\text{SiH}_2\text{Cl}_2$ (DCS)를 이용한 고온 산화막(HTO)을 사용함에 따라  $\text{Si}_2\text{H}_2\text{Cl}_2$  가스내에 포함되어 있던 수소가 스페이서 산화막 내에 함유되며, 이후 고온 열처리 공정이 진행됨에 따라 스페이서 산화막 내에 잔류하던 수소가 터널 산화막으로 산호 확산되는 현상이 발생한다. 이렇게 터널 산화막 내에 존재하는 수소 이온은 Si-H 본딩을 형성하며, 프로그램 또는 소거 동작시 전자가 수소 이온에 의하여 중성화가 이루어져 결국 전하 손실(charge loss)이 발생하게 된다. 이러한 전하 손실은 결국 플래시 메모리 소자의 리텐션 특성을 저하시킨다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 스페이서 산화막 내에 함유된 수소가 터널 산화막으로 산호 확산되는 현상을 억제하여 터널 산화막 내에서의 전하 손실을 억제하고 플래시 메모리 소자의 리텐션 특성을 개선시킬 수 있는 반도체 소자의 제조방법을 제공함에 있다.

**【발명의 구성 및 작용】**

<13> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판 상에 게이트 전극을 형성하는 단계와, 게이트 전극이 형성된 반도체 기판 상에 스페이서용 산화막을 증착하는 단계와, 상기 스페이서용 산화막을 이방성 견식 식각하여 상기 게이트 전극 측벽에 스페이서를 형성하는 단계와, 상기 스페이서 내에 포함된 수소를 스페이서 표면으로 석출시키기 위하여 상기 스페이서에 대하여 산소 분위기에서 급속 열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법을 제공한다.

<14> 상기 스페이서용 산화막은  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane)를 이용한 고온 산화막(HTO)일 수 있다. 상기 스페이서용 산화막은 680 내지 730°C의 온도에서 400 내지 1000Å의 두께로 증착하는 것이 바람직하다.

<15> 상기 급속 열처리는 산소 분위기에서 750 내지 1050°C의 온도에 실시하는 것이 바람직하다. 상기 급속 열처리는 초당 5°C 정도의 온도를 증가시키면서 실시하고, 산소는 3 내지 15 SLM 정도의 유량을 주입하여 수행하는 것이 바람직하다.

<16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<17> 도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

<18> 도 1을 참조하면, 소자분리막(미도시)이 형성된 반도체 기판(100) 상에 터널 산화막(102)을 형성한 후, 플로팅 게이트로 사용될 제1 폴리실리콘막(104)을 형성한다. 터널 산화막(102)은 750°C ~ 900°C 정도의 온도에서 60~100Å 정도의 두께로 형성하는 것이 바람직하다. 예컨대, 터널 산화막(102)은 750°C ~ 900°C 정도의 온도에서 습식 산화를 진행하고 900°C ~ 910°C 정도의 온도에서 질소(N<sub>2</sub>) 분위기에서 20~30분간 어닐링을 진행하여 형성할 수 있다. 제1 폴리실리콘막(104)은 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>와 PH<sub>3</sub> 가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로, 530 내지 610°C 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력 조건에서 700 내지 2000Å 정도의 두께로 형성할 수 있다.

<19> 제1 폴리실리콘막(104)이 형성된 반도체 기판(100) 상에 유전체막(106)을 형성한다. 유전체막(106)은 ONO 절연막, 즉 산화막, 실리콘 질화막 및 산화막이 순차적으로 적층된 구조의 절연막으로 형성할 수 있다. 유전체막(106)의 산화막은 SiH<sub>2</sub>Cl<sub>2</sub> (dichlorosilane; DCS)와 H<sub>2</sub>O 가스를 소스 가스로 이용하여 고온산화막(High Temperature Oxide; HTO)으로 형성할 수 있다. 유전체막(106)의 질화막은 반응가스로서 NH<sub>3</sub>와 SiH<sub>2</sub>Cl<sub>2</sub> 가스를 이용하고, 0.1 내지 3Torr 정도의 낮은 압력과 650 내지 800°C 정도의 온도범위에서 LP-CVD 방식으로 형성할 수 있다. 유전체막(106)은 130~160Å 정도의 두께로 형성하는 것이 바람직하다.

<20> 유전체막(106)이 형성된 반도체 기판(100) 상에 콘트롤 게이트로 사용될 제2 폴리실리콘막(108) 및 실리사이드막(110)을 순차적으로 형성한다. 제2 폴리실리콘막(108)은

530°C ~ 610°C 정도의 온도에서 0.2~0.5 torr 정도의 압력 조건에서 500~1000Å 정도의 두께로 형성하는 것이 바람직하다. 제2 폴리실리콘막(108)으로 도핑된 폴리실리콘막 및 도핑되지 않은 비정질 실리콘 박막을 사용할 수 있다. 실리사이드막(110)은 700 내지 1500Å 정도의 두께로 텅스텐 실리콘(WSi)막을 사용하여 형성한다. 실리사이드막(110)인 텅스텐실리콘(WSi)막은 2.9sccm 정도의 SiH<sub>4</sub>(momosilane; MS) 또는 SiH<sub>2</sub>Cl<sub>2</sub> (dichlorosilane; DCS)와 3.4sccm 정도의 WF<sub>6</sub>의 반응을 이용하여 390°C ~ 430°C 사이의 온도에서 0.2~0.5 torr 정도의 압력 조건에서 형성할 수 있다.

<21>      도 2 및 도 3을 참조하면, 게이트 패터닝 공정을 수행한다. 즉, 콘트롤 게이트 형성용 마스크(112)를 이용하여 실리사이드막(110), 제2 폴리실리콘막(108), 유전체막(106) 및 제1 폴리실리콘막(104)을 패터닝한다.

<22>      도 4를 참조하면, 반도체 기판(100) 상에 스페이서용 산화막(114)을 증착한다. 스페이서용 산화막(114)으로는 SiH<sub>2</sub>Cl<sub>2</sub>(dichlorosilane; DCS)를 이용한 고온 산화막(High Temperature Oxide; HTO)을 사용하는 것이 바람직하다. 스페이서용 산화막(114)은 680 내지 730°C 정도의 온도에서 400 내지 1000Å 정도의 두께로 증착하는 것이 바람직하다.

<23>      도 5를 참조하면, 이방성 건식 식각을 이용하여 게이트 전극 측벽에 스페이서(114)를 형성한다.

<24>      도 6을 참조하면, 스페이서 산화막(114) 내에 함유된 수소를 감소시키기 위하여 산소 분위기에서 급속 열처리(Rapid Thermal Process or Rapid Thermal Annealing)(116)를 실시한다. 상기 급속 열처리(116)는 750~1050°C 정도의 온도에서 진행한다. 상기 열처리 온도까지는 초당 5°C 정도로 램프-업(ramp up)한다. 이때, 상기 급속 열처리(116) 시

산소는 3~15 SLM 정도의 유량을 주입하여 사용한다. 상기 급속 열처리(116) 공정에 의하여 H-O 본딩이 형성되며, 스페이서 산화막(114)의 표면으로 수소 이온이 석출(segregation)되어 결국 수소가 스페이서 산화막(114) 외부로 확산되어 빠져나가게 된다. 이는 산소 분위기에 의해 수소 이온이 게더링(gattering)되는 효과가 발생하여 이루어지는 현상이다. 상기 게더링 효과는 H-Si 본딩 에너지는 2.3eV이고, H-O 본딩 에너지는 3.7eV이며, H-O 본딩은 열역학적인 면에서 안정(stable)하기 때문에 일어난다. 즉, 수소와 실리콘의 본딩 에너지에 비해 수소와 산소의 본딩 에너지가 더 크기 때문에 수소가 표면으로 석출되는 효과가 발생한다. 기존의 수소와 실리콘 본딩보다 수소-산소 본딩 에너지가 더 크기 때문에 수소 이온이 스페이서 산화막 표면으로 석출되는 현상이 발생되고, 표면에 석출된 수소 이온들은 열처리가 계속 진행됨에 따라 외부로 확산되게 된다. 따라서, 스페이서(114) 내에 수소가 포함되지 않기 때문에 후속 열처리 공정들이 진행되더라도 수소 이온이 터널 산화막(102) 내로 확산되어 침투하는 현상이 발생하지 않게 된다. 따라서, 터널 산화막(102)의 막질이 개선되어 플래시 메모리 소자의 프로그램 또는 소거 특성을 개선할 수 있고, 리텐션 특성을 개선할 수 있다.

<25> 한편, 스페이서 산화막(114)을 형성한 후, 급속 열처리(116)를 진행함에 따라 게이트 면저항( $R_s$ )도 감소시킬 수 있다. 또한, 급속 열처리(116)는 퍼니스 열처리에 비하여 공정 시간이 단축되기 때문에 실리사이드막(110)의 그레인(grain) 성장을 조절할 수도 있다.

<26> 이 후 진행되는 공정은 통상적인 플래시 메모리 소자의 공정과 동일하게 실시한다.

<27> 이상에서 플래시 메모리 소자의 경우를 예를 들어 설명하였으나, 본 발명은 디램 (DRAM)과 같은 게이트 전극의 측벽에 형성되는 스페이서에 대하여도 적용할 수 있음은 물론이다.

<28> 도 7은 온도에 따른 스페이서 산화막 내의 수소 이온의 수를 도시한 그래프이다. 도 7에서 (a)는 스페이서 산화막을 형성한 후 본 발명에 따른 급속 열처리 공정을 진행하지 않은 경우의 수소 이온의 수를 도시한 것이고, (b)스페이서 산화막을 형성한 후 본 발명에 따른 급속 열처리 공정을 진행하는 경우의 수소 이온의 수를 도시한 것이다.

<29> 도 7을 참조하면, 스페이서 산화막을 형성한 후, 급속 열처리를 진행하게 되면 수소 이온의 수는 급속 열처리를 진행하지 않은 경우보다 급격히 감소한다는 것을 알 수 있다.

### 【발명의 효과】

<30> 본 발명에 의한 반도체 소자의 제조방법에 의하면,  $\text{SiH}_2\text{Cl}_2$ (DCS)를 이용한 고온 산화막(HTO)을 사용하여 게이트 전극의 측벽에 스페이서를 형성한 후, 산소( $\text{O}_2$ ) 분위기에 서 급속 열처리를 실시함으로써 스페이서 산화막 내에 존재하는 수소를 스페이서 산화막 표면으로 게더링시키고, 표면에 게더링된 수소를 외부로 확산시킨다. 따라서, 스페이서 산화막 내에 함유된 수소가 터널 산화막으로 확산되지 않으며, 따라서 터널 산화막의 막 질이 개선되고, 결국 플래시 메모리 소자의 프로그램 또는 소거 동작 특성이 개선되어 플래시 메모리 소자의 리텐션 특성을 개선할 수 있다.

<31> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 게이트 전극을 형성하는 단계;

게이트 전극이 형성된 반도체 기판 상에 스페이서용 산화막을 증착하는 단계;

상기 스페이서용 산화막을 이방성 건식 식각하여 상기 게이트 전극 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서 내에 포함된 수소를 표면으로 석출시키기 위하여 상기 스페이서에 대하여 산소 분위기에서 급속 열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 스페이서용 산화막은  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane)를 이용한 고온 산화막(HTO)인 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 스페이서용 산화막은 680 내지 730°C의 온도에서 400 내지 1000Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 급속 열처리는 산소 분위기에서 750 내지 1050°C의 온도에 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 5】.**

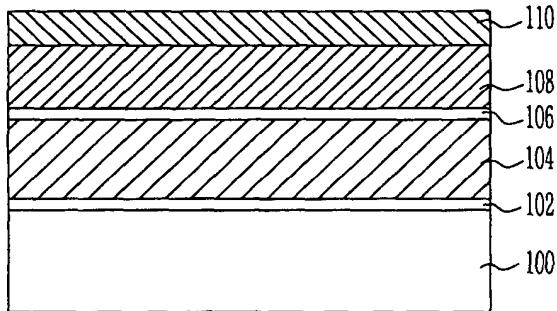
제1항에 있어서, 상기 급속 열처리는 열처리 온도까지 초당 5°C 정도로 램프-업 하고, 산소는 3 내지 15 SLM 정도의 유량을 주입하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 6】**

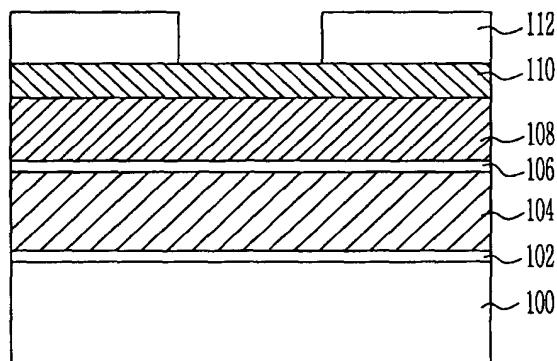
제1항에 있어서, 상기 게이트 전극을 형성하는 단계는,  
상기 반도체 기판 상에 터널 산화막을 형성하는 단계;  
상기 터널 산화막이 형성된 상기 반도체 기판 상에 플로팅 게이트용 도전막을 증착하고, 패터닝하여 플로팅 게이트를 형성하는 단계;  
상기 반도체 기판 상에 유전체막, 컨트롤 게이트용 도전막을 증착하는 단계; 및  
상기 컨트롤 게이트용 도전막, 상기 유전체막 및 상기 플로팅 게이트용 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

## 【도면】

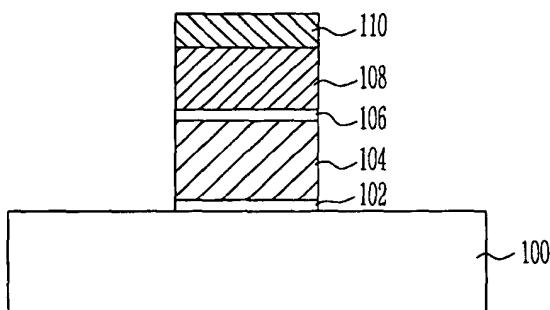
【도 1】



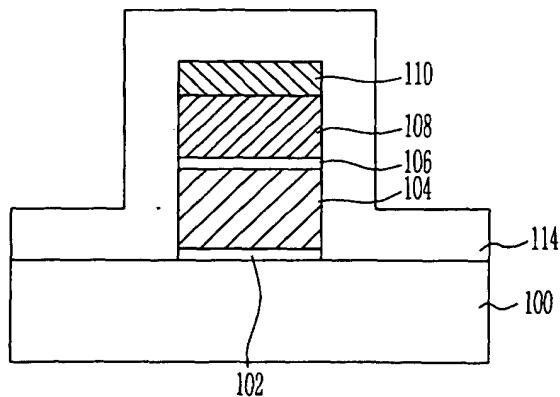
【도 2】



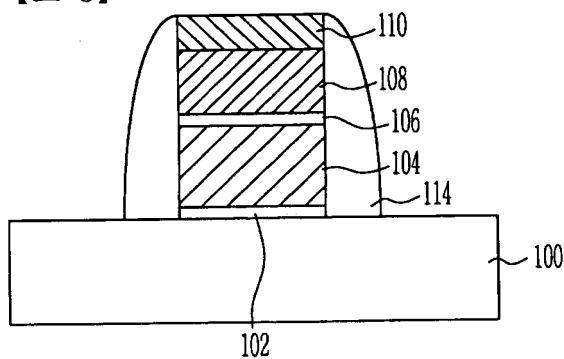
【도 3】



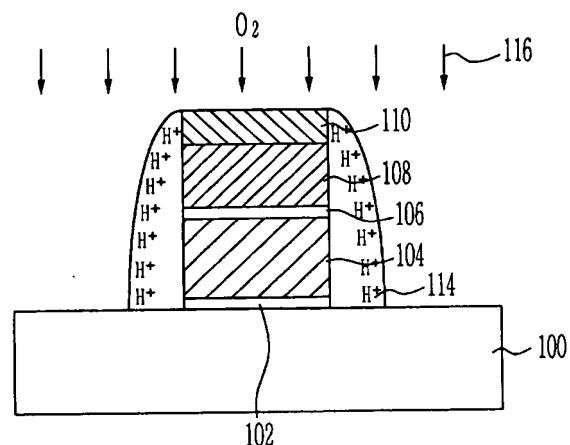
【도 4】



【도 5】



【도 6】



【도 7】

